

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-099236

(43)Date of publication of application : 11.04.1995

(51)Int.Cl.

H01L 21/76
H01L 21/82
H01L 21/316
H01L 21/8234
H01L 27/088
H01L 21/8242
H01L 27/108

(21)Application number : 05-239982

(71)Applicant : SONY CORP

(22)Date of filing : 27.09.1993

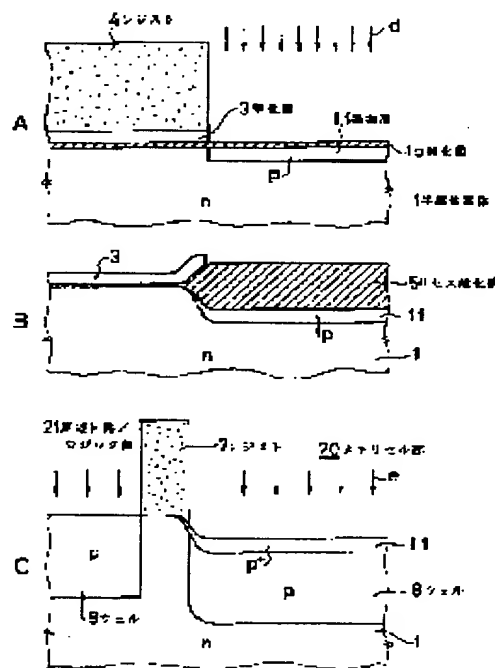
(72)Inventor : ONO KEIICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To decrease the cost by decreasing the number of photoresist steps in the manufacture of an ASCII DRAM when a memory cell part and a peripheral circuit part or a logic part are formed on the same semiconductor substrate.

CONSTITUTION: A memory cell part 20 and a peripheral circuit part or a logic circuit, i.e., a logic part 21 in the example of the figure are formed on one main surface of the same semiconductor substrate 1. In the manufacturing method of this semiconductor device, a step, wherein impurities for adjusting the threshold voltage value are introduced into only the memory cell part 20, and a step, wherein the surface of the memory cell part 20 is oxidized and a recess oxide film 5 is formed, are provided.



LEGAL STATUS

[Date of request for examination]

18.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3279000

[Date of registration]

22.02.2002

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-99236

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl.⁶

H 0 1 L 21/76
21/82
21/316

識別記号

庁内整理番号

F I

技術表示箇所

9169-4M

H 0 1 L 21/ 76

M

8122-4M

21/ 82

B

審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平5-239982

(22) 出願日 平成5年(1993)9月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大野 圭一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

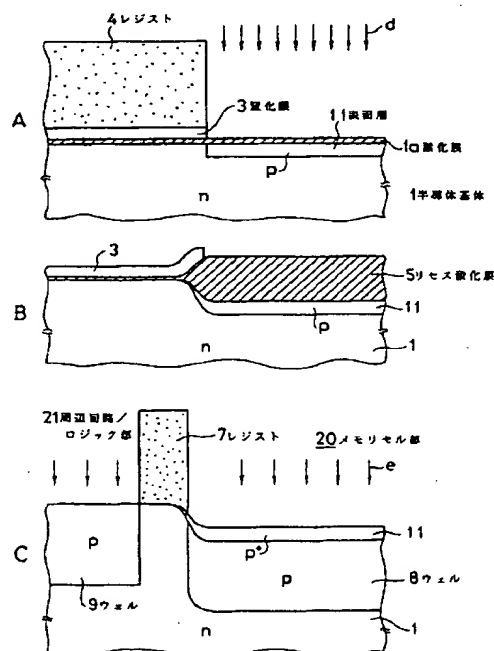
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体装置の製法

(57) 【要約】

【目的】 同一の半導体基体上にメモリセル部と周辺回路部又はロジック部とを形成する A S I C D R A M の製造にあたって、そのフォトリソ工程数を減少させて、コストの低減化をはかる。

【構成】 同一の半導体基体1の一主面上にメモリセル部20と周辺回路部又はロジック部、図示の例においてはロジック部21とを形成する半導体装置の製法において、メモリセル部20のみに閾値電圧調整用の不純物を導入する工程と、その後、このメモリセル部20の表面を酸化してリセス酸化膜5を形成する工程とを有する。



本発明の一実施例の工程図

【特許請求の範囲】

【請求項1】 同一の半導体基体の一主面上にメモリセル部とロジック部とを形成する半導体装置の製法において、

上記メモリセル部のみに閾値電圧調整用の不純物を導入する工程と、

その後、上記メモリセル部表面を酸化してリセス酸化膜を形成する工程とを有することを特徴とする半導体装置の製法。

【請求項2】 同一の半導体基体の一主面上にメモリセル部とロジック部とを形成する半導体装置の製法において、

上記メモリセル部表面を酸化してリセス酸化膜を形成する工程と、

上記リセス酸化膜をマスクとして閾値電圧調整用の不純物を導入する工程とを有することを特徴とする半導体装置の製法。

【請求項3】 リセス酸化膜除去後に、ウェル形成用の不純物を導入することを特徴とする上記請求項2に記載の半導体装置の製法。

【請求項4】 上記ロジック部の一部にソース／ドレイン領域へのイオン注入用マスクを用いて、閾値電圧調整用の不純物を導入することを特徴とする上記請求項1又は2又は3に記載の半導体装置の製法。

【請求項5】 同一の半導体基体の一主面上にメモリセル部と周辺回路部とを形成する半導体装置の製法において、

上記メモリセル部のみに閾値電圧調整用の不純物を導入する工程と、

その後、上記メモリセル部表面を酸化してリセス酸化膜を形成する工程とを有することを特徴とする半導体装置の製法。

【請求項6】 同一の半導体基体の一主面上にメモリセル部と周辺回路部とを形成する半導体装置の製法において、

上記メモリセル部表面を酸化してリセス酸化膜を形成する工程と、

上記リセス酸化膜をマスクとして閾値電圧調整用の不純物を導入する工程とを有することを特徴とする半導体装置の製法。

【請求項7】 リセス酸化膜除去後に、ウェル形成用の不純物を導入することを特徴とする上記請求項6に記載の半導体装置の製法。

【請求項8】 上記周辺回路部の一部にソース／ドレイン領域へのイオン注入用マスクを用いて、閾値電圧調整用の不純物を導入することを特徴とする上記請求項5又は6又は7に記載の半導体装置の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、同一の半導体基体の一

主面に例えばロジック回路部又は周辺回路部と、メモリセル部とが形成されて成る半導体装置の製法に関する。

【0002】

【従来の技術】 一般に、DRAM（ダイナミック・ランダム・アクセス・メモリ）等の半導体装置では、メモリセル部と、このメモリセル部を動作させる駆動回路や出力回路等を含む周辺回路部、又はフリップフロップやラッチ回路、シフトレジスタ等の信号処理用のいわゆるロジック部とが同一の半導体基体上に形成されるASIC（Application Specific Integrated Circuit）型の構成が提案されている。

【0003】 このような半導体装置においては、DRAMのメモリセル部においては、キャパシタに電荷を蓄積することから、ここで使用されるトランジスタ（アクセス・トランジスタ）にオフ電流が流れ易い。従って、このアクセス・トランジスタはその閾値電圧 V_{th} を高めに設定することが要求されている。

【0004】 一方、ロジック部或いは周辺回路部においては、閾値電圧 V_{th} はメモリセル部に比し低く設定することが望ましく、また特にアナログ回路を混載する場合には、この周辺回路部又はロジック部において2種以上の閾値電圧 V_{th} のトランジスタを設ける必要がある。

【0005】 このような特性の異なるトランジスタを一つの基体上に設ける場合、複数のマスクパターンを用意して、例えば異なるパターンのフォトリソグラフィをマスクとして不純物注入を行うことにより、基体上に異なる濃度の不純物領域を形成して、閾値電圧 V_{th} を調整するようにしている。

【0006】 図4～図6を参照してこのような半導体装置の特にトランジスタ製造工程の一例を説明する。先ず図4Aに示すように、Si等の半導体基体1上に熱酸化等により薄い酸化膜1aを全面的に形成した後、SiN等の窒化膜3をCVD（化学的気相成長法）で成膜した後、フォトリソグラフィによって、即ちレジスト4の塗布、パターン露光、現像、RIE（反応性イオンエッチング）等の異方性エッチング等を行って、例えばメモリセル部を形成すべき領域に開口を有するパターンとしてパターンニングする。

【0007】 そしてこのレジスト4を除去した後、図4Bに示すように、熱酸化等によりメモリセル部を形成すべき領域に厚い酸化膜、即ちリセス酸化膜5を形成する。そして更に、ウェットエッチング等により窒化膜3及びリセス酸化膜5及び酸化膜1aを除去して、基体1上に段差形状を形成する。メモリセル部に積層型のキャパシタを形成すると、この部分の高さのために周辺回路部及びロジック部とメモリセル部との高低差が生じ、この上に例えば多層配線を形成すると配線加工の露光焦点ずれによる寸法差により、いわゆるリソグラフィマージンが小さくなる等の不都合が生じることから、図4Cに示すように、メモリセル部を基体上に予め設けた凹部に

形成することによって配線層の段差を緩和することができる。

【0008】そしてこの後、図4Dに示すように、メモリセル部と周辺回路部或いはロジック部を形成すべき領域を分離するいわゆるフィールド絶縁層6を、例えば上述のリセス酸化膜と同様に、酸化膜を全面的に形成した後、所定のパターンに窒化膜をパターニング形成してレジスト除去後に選択酸化を行い、その後窒化膜及び薄い酸化膜を除去して形成することができる。

【0009】更にこの後、全面的に薄い酸化膜1aを形成した後、レジスト7をマスクとしてこの場合図5Aに示すようにn型の半導体基体1を用いる場合は、矢印aで示すようにp型の例えばボロンB等の不純物をイオン注入してp型のウェル8及び9を形成する。

【0010】次に、図示しないがフィールド絶縁層6の直下にチャンネルストップ用のイオン注入や、ソース/ドレイン領域の直下の空乏層の広がりを抑えるためのイオン注入を行った後、図5Bに示すように、例えばメモリセル部を形成すべき領域以外を全てレジスト10でマスクして、トランジスタの閾値電圧 V_{th} を調整するための不純物、この場合閾値電圧 V_{th} を低減化させるためのp型の不純物を矢印bで示すように導入して高不純物濃度とされた表面層11を形成する。

【0011】更に、上述したようにロジック回路及び周辺回路部をアナログ回路で構成する場合は、図5Cに示すように、その所定領域に開口を有するレジスト12をパターニング形成してこれをマスクとして閾値電圧 V_{th} 調整用の不純物を矢印cで示すように導入し、上述の表面層11に比し低い他の領域に比し高い不純物濃度とされた表面層13を形成する。

【0012】そしてこの後、図示しないが例えばロジック部又は周辺回路部をn型及びp型のトランジスタを用いるCMOS構成とする場合は、上述の図5A~Cにおいて説明した工程と同様のプロセスにより、ロジック又は周辺回路部側のウェル9の内部にn型不純物を導入してウェル、また閾値電圧 V_{th} 調整用の表面層等を形成する。

【0013】次に、表面の酸化膜1aを一旦除去した後、図6に示すようにゲート酸化膜13を形成し、この上にポリSi、WSi等のゲート電極を構成する層をCVD等により積層形成した後所定のパターンにフォトリソグラフィ等の適用によりパターニングしてゲート電極14を形成する。

【0014】そして更に、所定のパターンのレジストをマスクとして先ず例えばn型の不純物を注入して低不純物濃度領域15、いわゆるLDD(Lightly Doped Drain)領域を形成し、更に上述したようにCMOS構成とする場合は、n型のウェル19内のp型のLDD領域15を同様にフォトレジストをマスクとしてp型不純物を注入して形成する。このとき、上述の図5B及びCの工

程において形成した閾値電圧 V_{th} 調整のための表面層11、13が形成された領域においては、p型不純物が高濃度に注入されていることから、この部分のp型不純物濃度が他部に比し高濃度となってnチャンネルトランジスタの高閾値電圧化をはかることができる。

【0015】この後、SiO₂等を全面的にCVD等により被着してRIE等の異方性エッチングを施して、ゲート電極14の両側にサイドウォール17を形成した後、周辺回路部又はロジック部21のゲート電極14の両側に比較的高濃度のソース/ドレイン領域17を、同様に所要のパターンのフォトレジストをマスクとして先ずn型、続いてp型領域を順次形成して各部のMOSトランジスタを形成することができる。このときメモリセル部20のトランジスタはオン/オフ動作のみであること、また高濃度にイオン注入すると欠陥に起因するリークが生じる恐れがあることから、低不純物濃度の不純物領域15いわゆるLDDのみを形成する。

【0016】そしてこの後、不純物活性化のためのアニール処理等を施した後、更に層間絶縁層等を介してメモリセル部にキャパシタ18を形成し、この上に配線層等を形成して周辺回路/ロジック部21とメモリセル部20を同一基体上に形成したASIC DRAMを形成することができる。

【0017】このようにメモリセル部と周辺回路部又はロジック部とのウェルを分離することにより、例えば周辺回路部の入力電極からパルス状の大電圧が入力されるいわゆるアンダーシュート等によりメモリ内容が破壊されることを防ぐ耐性をもたせることができる。

【0018】そしてこの場合、上述したようにメモリセル部20と周辺回路/ロジック部21とにおいて閾値電圧 V_{th} を調整するためのフォトレジストマスクとして、図5A~Cにおいて説明した3種類の他、CMOS構成とする場合は更に3種類のパターンを必要とすることからフォトレジスト工程数が比較的多い。

【0019】このような半導体装置の製法においては一般にフォトレジスト工程の占める割合が多く、コスト高を招く大きな要因となっていることは周知の事実であり、上述したようにフォトレジスト工程数を増やすことによって特性を作り分けることは半導体装置のコストパフォーマンスを低下させることとなって望ましくない。

【0020】

【発明が解決しようとする課題】本発明は、上述したように同一の半導体基体上にメモリセル部と周辺回路部又はロジック部とを形成するいわゆるASIC DRAMの製造にあたって、そのフォトレジスト工程数を減少させて、コストの低減化をはかる。

【0021】

【課題を解決するための手段】本発明は、その一例の製造工程を図1A~Cに示すように、同一の半導体基体1の一主面上にメモリセル部20と周辺回路部又はロジッ

ク部、図示の例においてはロジック部 21 とを形成する半導体装置の製法において、メモリセル部 20 のみに閾値電圧調整用の不純物を導入する工程と、その後、このメモリセル部 20 の表面を酸化してリセス酸化膜 5 を形成する工程とを有する。

【0022】また本発明は、その一例の製造工程を図 2 A 及び B に示すように、同一の半導体基体 1 の一主面上にメモリセル部 20 と周辺回路部又はロジック部、この場合も図示の例においてはロジック部 21 とを形成する半導体装置の製法において、メモリセル部 20 の表面を

酸化してリセス酸化膜 5 を形成する工程と、このリセス酸化膜 5 をマスクとして閾値電圧調整用の不純物を導入する工程とを有する。

【0023】また更に本発明は、上述の製法において例えば図 2 B に示すように、リセス酸化膜 5 の除去後に、ウェル 8、9 形成用の不純物を導入する。

【0024】また本発明は、上述の各製法において、図 3 にその一例の一製造工程を示すように、周辺回路/ロジック部 21 の一部にソース/ドレイン領域 17 へのイオン注入用マスクを用いて、閾値電圧調整用の不純物を

導入する。

【0025】
【作用】上述したように、本発明においてはメモリセル部 20 のみに閾値電圧 V_{th} 調整用の不純物を予め注入することから、例えばリセス酸化膜 5 の形成用のフォトレジストをマスクとして不純物を注入することができ、その後ウェルを形成するための不純物注入を行ってメモリセル部 11 のウェル濃度を高めておくことによって、この部分に形成するトランジスタの閾値電圧 V_{th} を高くすることができる。

【0026】または、リセス酸化膜 5 を形成した後、これをマスクとして周辺回路又はロジック部を形成すべき領域に選択的に、例えばメモリセル部内に形成するウェル導電型とは逆の導電型の不純物を導入しておくことによって、その後の工程、例えばメモリセル部及び周辺回路又はロジック部のウェル 8、9 を形成する際にメモリセル部における所望の濃度に設定しておけば、周辺回路又はロジック部のウェルの表面濃度が低濃度となって、メモリセル部のみを高閾値電圧化することができる。

【0027】更にまた、周辺回路/ロジック部 21 の一部のソース/ドレイン領域 17 を形成する際のイオン注入用マスクを用いてソース/ドレイン領域 17 の形成後に、閾値電圧調整用の不純物を導入することによって、周辺回路部やロジック部における各トランジスタの閾値電圧を設定することができて、アナログ回路の搭載を可能とすることができる。

【0028】

【実施例】以下本発明による各実施例を図面を参照して詳細に説明する。各例共に、同一の半導体基体 1 の上に、メモリセル部と周辺回路部又はロジック部、或いは

両周辺回路部及びロジック部を形成して成るいわゆる A S I C D R A M を形成する場合、即ち前述の図 4 ~ 図 6 において説明した製法に本発明を適用した場合を示す。

【0029】先ず図 1 A ~ C を参照して第 1 の実施例を説明する。この場合、S i 等より成る半導体基体 1 の上に表面酸化膜 1 a を熱酸化等により形成し、更に C V D 等により S i N x 等の窒化膜 3 を成膜した後これをフォトリソグラフィ等の適用によって即ちレジスト 4 を塗布、パターン露光、現像によりパターンニングし、これをマスクとして R I E 等の異方性エッチングによって窒化膜 3 をパターンニングする。そしてこの状態で、先ずメモリセル部を形成すべき領域に、矢印 d で示すように例えば p 型不純物のボロン B 等をイオン注入して、表面層 11 を形成する。

【0030】そしてこの後、図 1 B に示すように、レジスト 4 を除去した後、窒化膜 3 をマスクとして熱酸化等によりリセス酸化膜 5 を形成する。このとき、不純物を注入した表面層 11 はリセス酸化膜 5 の下部に移動する。

【0031】次に図 1 C に示すように、リセス酸化膜 5、表面酸化膜 1 a を除去した後に、メモリセル部 20 と、周辺回路部又はロジック部 21 の p 型のウェル 8 及び 9 をレジスト 7 をマスクとして矢印 e で示すようにイオン注入して形成する。このときの不純物濃度を、比較的低閾値電圧 V_{th} とすべき周辺回路/ロジック部 21 に合わせて選定することにより、この周辺回路/ロジック部 21 においては比較的低濃度、メモリセル部 20 の特に表面層 11 においては比較的高濃度の不純物領域を形成することができる。

【0032】このような製法によれば、レジストマスク数の増加を招くことなく、メモリセル部 20 と周辺回路部又はロジック部 21 とにおける表面不純物濃度を変調することができて、低電圧動作が可能な A S I C 部を有し、且つリーク電流が少なくメモリ保持特性の良い A S I C D R A M を得ることができる。

【0033】また図 2 A に示すように、リセス酸化膜 5 を形成した後、これをマスクとして全面的に矢印 f で示すように予め閾値電圧調整用の不純物を注入してもよい。この場合、周辺回路/ロジック部において低閾値電圧 V_{th} となるように、例えば p 型ウェルを形成する場合は n 型の不純物、例えば A s 又は P (りん) 等をイオン注入して低閾値電圧化のための表面層 22 を形成する。

【0034】そしてこの後、例えば図 2 B に示すように、p 型のウェル 8 及び 9 を形成する際に、メモリセル部 20 における所望の不純物濃度に合わせて両ウェル 8 及び 9 の不純物注入を矢印 g で示すように行い、周辺回路/ロジック部 21 においては、表面層 22 のこの場合ドナータイプの不純物によって p 型ウェル濃度が低減化され、低閾値電圧化がはかられる。

【0035】上述したようにリセス酸化膜形成前に予め不純物を注入して閾値電圧 V_{th} 調整用の不純物を注入しておく場合に例えばリセス酸化膜厚のばらつきやボロン等の不純物の偏析による表面濃度の変動によるメモリセル部の閾値電圧 V_{th} のばらつきを招く恐れがあるが、上述の図2A及びBにおいて説明した方法による場合はこのような閾値電圧 V_{th} のばらつきを抑えることができる。

【0036】また、p型ウェルを形成すべき領域に予めp型不純物を注入しておき、この後図2Aに示すようにリセス酸化膜5を形成し、更にこれをマスクとして表面層22を形成する場合においても、同様にメモリセル部20と周辺回路／ロジック部21との閾値電圧 V_{th} を変調させることができる。しかしながらこの場合においても、ウェル形成用の不純物を導入した後にリセス酸化膜を形成することから、このリセス酸化膜の厚さを充分とれず、メモリセル部と周辺回路／ロジック部との段差、いわゆるリセス深さを充分にとれなくなる恐れがある。

【0037】また更に、周辺回路部又はロジック部21においてアナログ回路を搭載する場合には、上述の図1A～C又は図2A及びBにおける工程を経た後、図3に示すように、各トランジスタのゲート電極14、低不純物濃度領域15、サイドウォール16を形成し、更に例えばソース／ドレイン領域17形成用のレジスト12を利用して、ソース／ドレイン領域形成後、或いはその以前に、n型又はp型の不純物を矢印hで示すように注入する。図3において1は半導体基体、6はフィールド絶縁層を示す。

【0038】このとき、周辺回路／ロジック部21の一部のトランジスタに閾値電圧調整用の不純物を注入するように、そのレジスト12のパターンを選定する。即ち図示の例においては、ゲート電極14Aの両側のみにソース／ドレイン領域17を形成して、ここに V_{th} 調整用不純物を注入し、ゲート電極14Bはレジスト12で覆われたままとなるように構成する。

【0039】この場合、予め前述の図1又は図2の工程において、周辺回路／ロジック部21のウェルの不純物濃度を低濃度とする場合は、例えばAs、P等のn型不純物を注入して、特にゲート電極14Aの直下の表面層19をより高い濃度として閾値電圧 V_{th} をより低減化することができる。例えばこのトランジスタの閾値電圧を0.3V、またゲート電極14Bの構成するトランジスタの閾値電圧を例えば0.55V程度とすることができる。

【0040】又、B等のp型不純物を注入してこの表面層19を低濃度として高閾値電圧化することもでき、この場合逆にこのトランジスタの閾値電圧を例えば0.55V、ゲート電極14Bの構成するトランジスタを0.

3Vとして構成する等、種々の態様を採り得る。

【0041】このようにして、周辺回路／ロジック部においてアナログ回路を搭載する場合においても、その閾値電圧調整のためにフォトリソマスクを増加させることがなく、従って低コストでの製造が可能となる。

【0042】尚、本発明は上述の各例に限定されることなく、各層を逆導電型とする等、その他種々の変形変更が可能であることはいうまでもない。

【0043】

10 【発明の効果】上述したように、本発明によればフォトリソマスクのパターン数、即ちマスク数の増加を招くことがなく従って低コストで、リーク電流が少なく保持特性の良好なメモリ部と、低電圧動作が可能な周辺回路部又はロジック部とが同一半導体基体上に形成された半導体装置を製造することができる。

20 【0044】また更に、アナログ回路を搭載する場合に、ソース／ドレイン領域形成用のフォトリソマスクを利用して表面に不純物を注入することによって、ゲート電極を介してその下に閾値電圧 V_{th} 調整用の表面層を形成し、周辺回路部又はロジック部における閾値電圧 V_{th} を変調することができる。

【図面の簡単な説明】

【図1】Aは本発明の一実施例の一製造工程図である。Bは本発明の一実施例の一製造工程図である。Cは本発明の一実施例の一製造工程図である。

【図2】Aは本発明の他の実施例の一製造工程図である。Bは本発明の他の実施例の一製造工程図である。

【図3】本発明の他の実施例の一製造工程図である。

30 【図4】Aは半導体装置の製法の一例の一製造工程図である。Bは半導体装置の製法の一例の一製造工程図である。Cは半導体装置の製法の一例の一製造工程図である。Dは半導体装置の製法の一例の一製造工程図である。

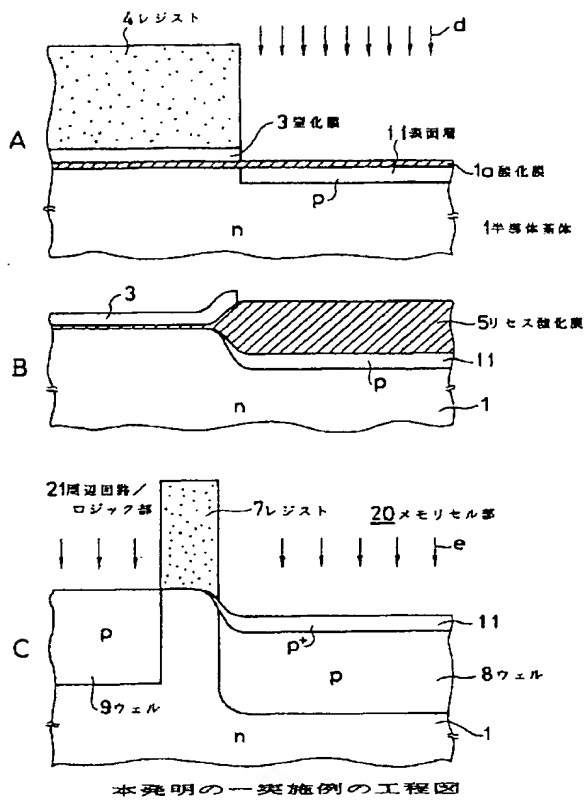
【図5】Aは半導体装置の製法の一例の一製造工程図である。Bは半導体装置の製法の一例の一製造工程図である。Cは半導体装置の製法の一例の一製造工程図である。

【図6】半導体装置の一例の略線の拡大断面図である。

【符号の説明】

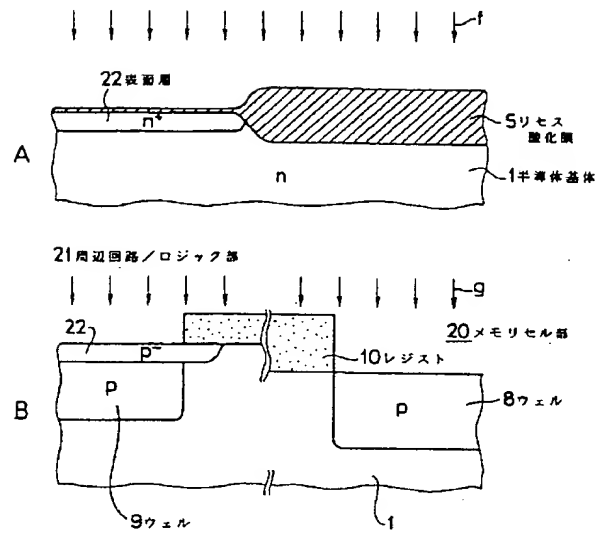
- 1 半導体基体
- 5 リセス酸化膜
- 6 フィールド絶縁層
- 8, 9 ウェル
- 11, 13 表面層
- 14 ゲート電極
- 15 低不純物濃度領域
- 17 ソース／ドレイン領域

【図1】



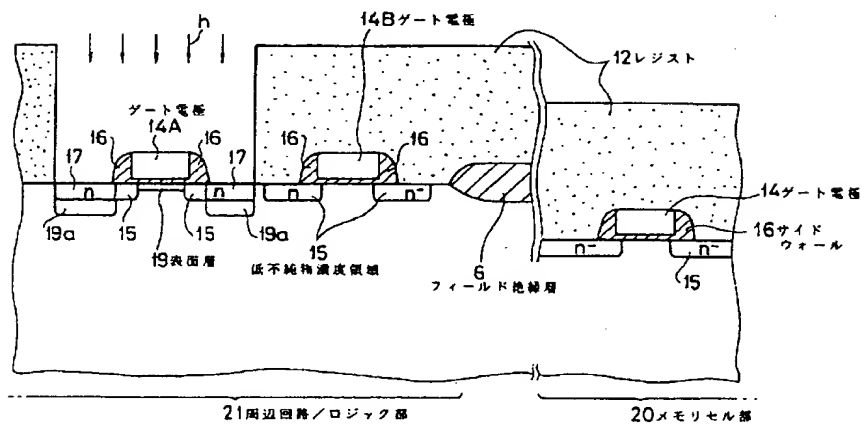
本発明の一実施例の工程図

【図2】



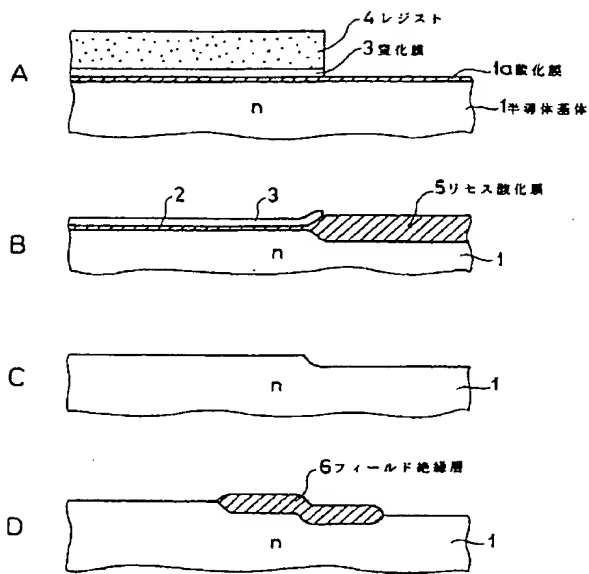
本発明の他の実施例の工程図

【図3】



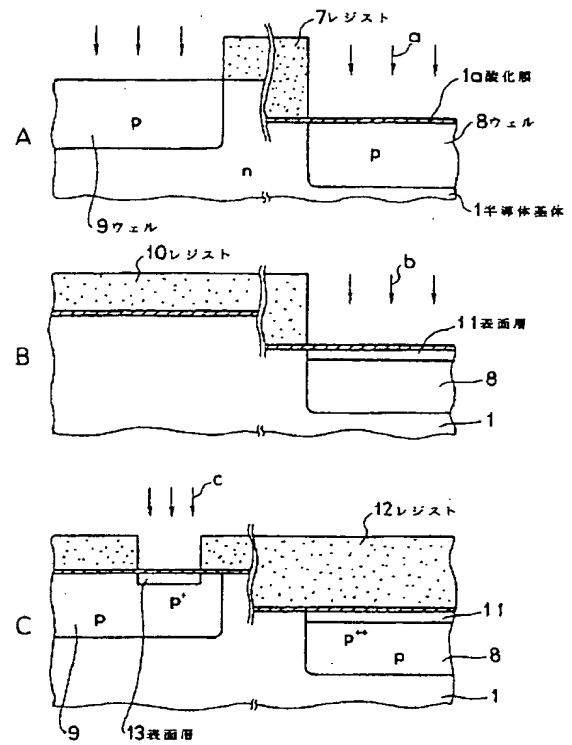
本発明の他の実施例の工程図

【図4】



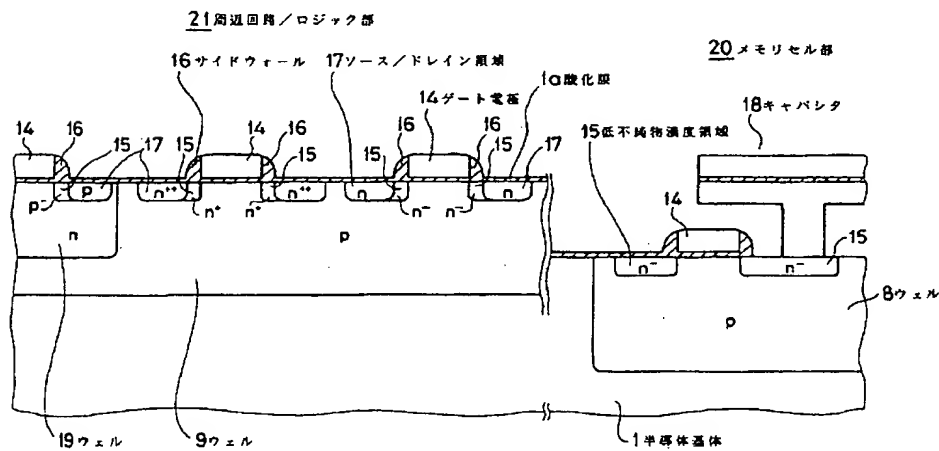
半導体装置の製法の一例の工程図

【図5】



半導体装置の製法の一例の工程図

【図6】



半導体装置の一例の断面図

フロントページの続き

(51) Int. Cl. ⁶

H O I L 21/8234
 27/088
 21/8242
 27/108

識別記号

庁内整理番号

F I

技術表示箇所

9274-4M

H O I L 21/94

A

9170-4M

27/08

1 0 2 B

7210-4M

27/10

3 2 5 R